



EXPRESS MAIL NO. EV336594202US

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION**COPIE OFFICIELLE**

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le **22 MAI 2003**

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

**INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE**

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



THIS PAGE BLANK (USPTO)



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11354*03

REQUÊTE EN DÉLIVRANCE page 1/2

BR1

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 • W / 210502

REMISE DES PIÈCES DATE 2 AVRIL 2003 LIEU 13 INPI MARSEILLE N° D'ENREGISTREMENT 0304077 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI - 2 AVR. 2003		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE OMNIPAT MARCHAND André 24 Place des Martyrs de la Résistance 13100 AIX EN PROVENCE	
Vos références pour ce dossier (facultatif) 100203 FR			
Confirmation d'un dépôt par télécopie		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N° _____ N° _____	Date _____ Date _____
Transformation d'une demande de brevet européen Demande de brevet initiale		<input type="checkbox"/> N° _____	Date _____
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Amplificateur de lecture à double étage de lecture			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input checked="" type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale		STMICROELECTRONICS SA	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		3 4 1 4 5 9 3 8 6	
Code APE-NAF		3 2 1 B	
Domicile ou siège	Rue	29 Boulevard Romain Rolland	
	Code postal et ville	9 2 1 2 0 MONTRouGE	
	Pays	FRANCE	
Nationalité		FRANCE	
N° de téléphone (facultatif)		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			

Remplir impérativement la 2^{ème} page



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE
page 2/2

BR2

REMISE DES PIÈCES DATE 2 AVRIL 2003 LIEU 13 INPI MARSEILLE N° D'ENREGISTREMENT 0304077 NATIONAL ATTRIBUÉ PAR L'INPI	
--	--

DB 540 W / 210502

6 MANDATAIRE <i>(si il y a lieu)</i>	
Nom	MARCHAND
Prénom	André
Cabinet ou Société	OMNIPAT
N° de pouvoir permanent et/ou de lien contractuel	
Adresse	Rue
	Code postal et ville
	Pays
N° de téléphone <i>(facultatif)</i>	24 Place des Martyrs de la Résistance
N° de télécopie <i>(facultatif)</i>	13 10 00 AIX EN PROVENCE
Adresse électronique <i>(facultatif)</i>	FRANCE
N° de téléphone <i>(facultatif)</i>	04.42.99.06.60
N° de télécopie <i>(facultatif)</i>	04.42.99.06.69
Adresse électronique <i>(facultatif)</i>	
7 INVENTEUR (S)	
Les inventeurs sont nécessairement des personnes physiques	
Les demandeurs et les inventeurs sont les mêmes personnes	<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)
8 RAPPORT DE RECHERCHE	
Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé	<input checked="" type="checkbox"/> Établissement immédiat <input type="checkbox"/> Établissement différé
Paiement échelonné de la redevance <i>(en deux versements)</i>	Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non
9 RÉDUCTION DU TAUX DES REDEVANCES	
Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention <i>(joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence)</i> : AG	
10 SÉQUENCES DE NUCLEOTIDES ET/OU D'ACIDES AMINÉS	
<input type="checkbox"/> Cochez la case si la description contient une liste de séquences	
Le support électronique de données est joint	<input type="checkbox"/>
La déclaration de conformité de la liste de séquences sur support papier avec le support électronique de données est jointe	<input type="checkbox"/>
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes	
11 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE <i>(Nom et qualité du signataire)</i>	
MARCHAND André - CPI N° 95 0303 OMNIPAT	
VISA DE LA PRÉFECTURE OU DE L'INPI	

AMPLIFICATEUR DE LECTURE A DOUBLE ETAGE DE LECTURE.

La présente invention concerne un amplificateur de lecture de cellule mémoire, applicable notamment aux mémoires non volatile de type EEPROM, FLASH-EEPROM, etc.

La présente invention concerne plus particulièrement un amplificateur de lecture comprenant un noeud de lecture relié directement ou indirectement à une cellule mémoire, une première branche active connectée au noeud de lecture, comprenant des moyens pour fournir un courant de lecture sur le noeud de lecture, et une sortie de donnée reliée à un noeud de la première branche active où apparaît une tension électrique représentative de l'état de conductivité de la cellule mémoire.

Afin de lire une donnée enregistrée dans une cellule mémoire non volatile, il est courant d'utiliser un amplificateur de lecture ("sense amplifier") agencé pour détecter l'état programmé ou effacé de la cellule mémoire par comparaison de la valeur d'un courant traversant la cellule mémoire avec un courant de référence. Le fait qu'une cellule mémoire soit programmée ou effacée se traduit en effet par un état de conductivité déterminé de la cellule mémoire, et correspond par convention à une valeur déterminée de la donnée enregistrée, par exemple 1 pour l'état programmé et 0 pour l'état effacé.

La figure 1 représente l'architecture d'un amplificateur de lecture classique SA1. Sur cette figure et dans le reste de la présente demande, des transistors de type PMOS sont désignés par des références commençant par "TP" et des transistors de type NMOS sont désignés

par des références commençant par "TN". L'amplificateur de lecture SA1 comprend un étage de contrôle CTLST1, un étage de lecture RDST1 présentant un noeud de lecture RND, et un étage de sortie OUTST présentant une sortie SOUT, ces étages étant alimentés électriquement par une tension Vcc.

L'étage de contrôle CTLST1 comprend des transistors TP1, TP2, TN1 en série et un transistor TN2 en parallèle avec le transistor TN1. Le transistor TP1 reçoit sur sa source la tension Vcc, sur sa grille une tension de référence Vref et son drain est connecté à la source du transistor TP2. Le transistor TP2 reçoit sur sa grille un signal ENABLE et son drain est connecté aux drains des transistors TN1, TN2 dont les sources sont à la masse. La grille du transistor TN1 est connectée au noeud de lecture RND, et la grille du transistor TN2 reçoit le signal ENABLE.

L'étage de lecture RDST1 comprend un transistor TP3 et un transistor cascode TN3 en série avec le transistor TP3. Le transistor TP3 reçoit la tension Vcc sur sa source et la tension Vref sur sa grille. Le drain du transistor TP3 est connecté au drain du transistor TN3, sur lequel apparaît une tension VMID1 qui est appliquée à l'étage de sortie OUTST. La source du transistor TN3 est connectée au noeud de lecture RND, sur lequel apparaît une tension VSENSE. La grille du transistor TN3 reçoit une tension de cascode VC1 prélevée sur le drain du transistor TP2 de l'étage de contrôle. L'étage de lecture RDST1 comprend en outre un transistor de précharge TP4 dont la source reçoit la tension Vcc, dont la grille reçoit un signal de commande de précharge PRE et dont le drain est relié au drain du transistor TN3.

L'étage de sortie OUTST comprend une porte inverseuse INV recevant en entrée la tension VMID1. La sortie de cette porte inverseuse est appliquée à l'entrée d'un verrou, par exemple une bascule DL de type D. La bascule DL reçoit un signal de verrouillage LATCH sur une

entrée de commande H, et sa sortie Q forme la sortie SOUT de l'amplificateur de lecture.

Le noeud de lecture RND est relié ici à une cellule mémoire non volatile MCELL d'un plan mémoire MA, par
5 l'intermédiaire d'un décodeur de colonne COLDEC et d'une ligne de bit BLj. La cellule mémoire comprend un transistor à grille flottante FGT dont la source est reliée à la masse et dont la grille reçoit une tension de lecture Vread pendant une phase de lecture. La tension de
10 seuil du transistor FGT dépend de son état programmé ou effacé et la tension de lecture Vread est choisie entre la tension de seuil à l'état programmé et la tension de seuil à l'état effacé. Ainsi, lorsque la tension Vread est appliquée, le transistor FGT est fortement passant
15 s'il est dans l'état programmé (faible tension de seuil) ou est au contraire faiblement passant voire bloqué s'il est dans l'état effacé (tension de seuil élevée).

L'amplificateur de lecture est inactif lorsque le signal ENABLE est à 1 (Vcc) et la tension Vref égale à
20 Vcc. Le transistor TN2 est alors passant, le transistor TP2 est bloqué ("off") et le drain du transistor TN1 est relié à la masse. Aucun courant ne circule dans l'étage de contrôle CTLST1. Les transistors TP1, TP3 sont bloqués et aucun courant ne circule dans l'étage de lecture
25 RDST1.

La lecture de la cellule mémoire est précédée d'une phase de décodage d'adresse, assurée par le décodeur COLDEC, permettant de relier la ligne de bit BLj au noeud de lecture RND.

30 La lecture de la cellule mémoire comprend une phase de précharge de la ligne de bit BLj, une phase de lecture d'une donnée, et une phase de verrouillage de la donnée. Dès la phase de précharge, la tension Vread est portée à une valeur intermédiaire entre la tension de seuil du transistor FGT dans l'état programmé et la tension de
35 seuil du transistor FGT dans l'état effacé.

L'amplificateur de lecture SA1 est tout d'abord activé en portant la tension V_{ref} à la valeur $V_c - V_{tp}$, V_{tp} étant la tension de seuil d'un transistor PMOS. Les transistors TP1, TP3 fonctionnent alors en générateurs de courant et fournissent respectivement des courants I_{bias} et I_{ref} dans leurs étages respectifs.

La phase de précharge est engagée en mettant à 0 les signaux ENABLE et PRE. Le transistor TN2 se bloque et le transistor TP2 devient passant. La tension V_{C1} appliquée sur la grille du transistor TN3 augmente et celui-ci devient passant. Les transistors TP3, TP4 sont également passants et un courant de précharge est fourni sur le noeud de lecture RND. Le transistor TP4 permet d'accélérer le temps de précharge et par conséquent le temps de lecture global, en fournissant un courant de précharge supérieur à celui que pourrait fournir seul le transistor TP3. Ce courant permet de charger des capacités parasites se trouvant dans la ligne de bit BLj et de porter rapidement la tension V_{SENSE} à une valeur déterminée, qui est sensiblement égale à la tension de seuil V_{tn} d'un transistor NMOS. Par ailleurs, la limitation de la tension V_{SENSE} par le transistor cascode TN3 permet de protéger le transistor à grille flottante FGT contre un phénomène appelé stress de drain, se traduisant par une injection involontaire de charges dans la grille flottante du transistor et provoquant une programmation parasite de la cellule mémoire.

Lorsque la valeur déterminée de la tension V_{SENSE} est atteinte, le transistor TN1 devient passant. La tension V_{C1} baisse et se stabilise à une valeur telle que, d'une part, les courants dans les transistors TP1, TN1 sont identiques et, d'autre part, le courant fourni par le transistor TN3 au noeud de lecture correspond au courant I_{cell} imposé par le transistor FGT dans la ligne de bit.

Au terme de la phase de précharge, la tension V_{MID1} est égale à la tension V_{cc} moins la chute de tension dans

le transistor TP3 et la sortie de la porte inverseuse INV est à 0. La tension de commande de cascode VC1 présente une valeur correspondant au courant Icell demandé par la cellule mémoire.

5 La phase de lecture proprement dite commence en remettant à 1 (Vcc) le signal de précharge PRE, de sorte que le transistor TP4 se bloque.

Si le transistor FGT est dans l'état programmé, le courant Icell est supérieur au courant Iref fourni par le transistor TP3 (imposé par Vref). La tension VMID1 est
10 tirée vers la masse et la sortie de la porte inverseuse INV passe à 1. Si le transistor FGT est dans l'état effacé, le courant Icell est faible et inférieur au courant Iref. Le transistor TN3 est faiblement passant et
15 la tension VMID1 conserve sa valeur initiale proche de Vcc, de sorte que la sortie de la porte inverseuse reste à 0.

Le signal LATCH est ensuite appliqué à la bascule DL et la donnée fournie par la porte inverseuse est
20 verrouillée à la sortie SOUT de l'amplificateur de lecture. Celui-ci est ensuite arrêté en remettant à 1 le signal ENABLE et en portant à nouveau la tension Vref à Vcc.

Un tel amplificateur de lecture, bien que
25 satisfaisant en raison de sa simplicité, présente l'inconvénient d'être sensible au bruit, en particulier pendant la phase de lecture d'une cellule mémoire se trouvant dans l'état effacé. Un tel bruit peut par exemple correspondre à un signal parasite sur la tension
30 d'alimentation Vcc dû à un appel de courant créé par la commutation de circuits logiques.

La figure 2 illustre l'aspect des tensions Vcc, Vref, VMID1, VC1 pendant la lecture d'une cellule mémoire dans l'état effacé (transistor FGT faiblement passant),
35 lorsque la tension Vcc présente une fluctuation parasite prenant la forme d'un creux de tension C1 ("voltage drop") suivi d'un pic de tension P1. Avant l'apparition

du creux de tension C1; l'amplificateur de lecture SA1 est dans un état stable. Le transistor TN3 est faiblement passant. La tension VSENSE est proche de Vtn et la tension VMID1 est proche de Vcc. Lorsque le creux de tension C1 apparaît, des capacités parasites amortissent les variations de la tension Vref et celle-ci ne suit pas la variation très rapide de la tension Vcc, dont la durée est par exemple de l'ordre de la dizaine de nanosecondes. Ainsi, la différence entre les tensions Vref et Vcc diminue et devient inférieure à la tension de seuil des transistors TP1, TP3, qui se bloquent. Le transistor TP1 étant bloqué, la tension VC1 chute et le transistor TN3 se bloque également. Le faible courant traversant la cellule mémoire MCELL commence à décharger la ligne de bit. Lorsque ensuite le pic P1 apparaît sur la tension Vcc, la différence entre les tensions Vref et Vcc augmente et les transistors TP1, TP3 deviennent rapidement passants. La tension VC1 augmente et dépasse la valeur qu'elle avait avant l'apparition du creux de tension. Le transistor TN3 devient passant avec une tension grille-source Vgs supérieure à sa valeur initiale, ce qui provoque un appel de courant dans la ligne de bit. Si le courant Icell appelé par la ligne de bit est supérieur au courant Iref fourni par le transistor TP3, la tension VMID1 chute comme représenté en figure 2. En conséquence, la sortie de la porte inverseuse passe temporairement à 1. Si le verrouillage de la donnée est effectué à cet instant par la bascule DL, le résultat de la lecture est erroné.

Ce risque de lecture erronée n'est pas limité à l'exemple qui vient d'être décrit. Un risque similaire existe notamment en cas de chute temporaire de la tension de référence Vref ou de la tension VSENSE.

La présente invention vise à pallier cet inconvénient.

Plus particulièrement, la présente invention vise un amplificateur de lecture qui présente une meilleure immunité au bruit.

Pour atteindre cet objectif, et très schématiquement, l'idée de la présente invention est de prévoir des moyens permettant d'injecter un courant supplémentaire sur le noeud de lecture en cas d'appel de courant parasite, afin d'éviter l'écroulement de la tension représentative de l'état de conductivité de la cellule mémoire.

Ainsi, la présente invention prévoit un amplificateur de lecture pour la lecture d'une cellule mémoire, comprenant un noeud de lecture relié directement ou indirectement à la cellule mémoire, une première branche active connectée au noeud de lecture, comprenant des moyens pour fournir un courant de lecture sur le noeud de lecture, et une sortie de donnée reliée à un noeud de la première branche active où apparaît une tension électrique représentative de l'état de conductivité de la cellule mémoire, amplificateur de lecture comprenant une seconde branche active connectée au noeud de lecture et comprenant des moyens pour fournir sur le noeud de lecture un courant s'additionnant au courant fourni par la première branche active, de manière que la tension représentative de l'état de conductivité de la cellule mémoire reste sensiblement stable lors d'un appel de courant sur le noeud de lecture.

Selon un mode de réalisation, la première branche active est bloquée et ne fournit pas de courant pendant la lecture d'une cellule mémoire bloquée ou faiblement conductrice.

Selon un mode de réalisation, la première branche active comprend un premier générateur de courant relié au noeud de lecture, et la seconde branche de lecture comprend un second générateur de courant relié au noeud de lecture.

Selon un mode de réalisation, les générateurs de courant comprennent des transistors PMOS pilotés par une tension de référence commune.

Selon un mode de réalisation, le second générateur
5 de courant fournit un courant supérieur à un courant
fourni par le premier générateur de courant.

Selon un mode de réalisation, le premier générateur
de courant est relié au noeud de lecture par
l'intermédiaire d'au moins un premier transistor cascode,
10 et le second générateur de courant est relié au noeud de
lecture par l'intermédiaire d'au moins un second
transistor cascode.

Selon un mode de réalisation, le premier générateur
de courant est relié au noeud de lecture par
15 l'intermédiaire d'au moins un premier transistor MOS,
tandis que le second générateur de courant est relié
directement au noeud de lecture, le noeud de lecture
étant connecté à une diode de limitation de tension.

Selon un mode de réalisation, l'amplificateur
20 comprend un étage de contrôle de la première et de la
seconde branches actives.

Selon un mode de réalisation, l'étage de contrôle
contrôle les branches actives de manière qu'une tension
apparaissant sur le noeud de lecture soit régulée au
25 voisinage d'une valeur prédéterminée.

Selon un mode de réalisation, l'étage de contrôle
contrôle les branches actives de manière que la première
branche active ne fournisse pas de courant tant que le
courant fourni par la seconde branche active ne fournit
30 pas la valeur maximale du courant qu'elle peut délivrer.

Selon un mode de réalisation, l'étage de contrôle
fournit une première tension de commande de grille à un
premier transistor cascode de la première branche active,
et une seconde tension de commande de grille à un second
35 transistor cascode de la seconde branche active, et les
première et seconde tensions de commande sont contrôlées
par l'étage de contrôle de manière que la tension grille

source du second transistor soit supérieure à la tension grille source du premier transistor.

Selon un mode de réalisation, les premier et second transistors cascode sont des transistors MOS de type N, et la seconde tension de commande est supérieure à la première tension de commande.

Selon un mode de réalisation, l'étage de contrôle comprend un générateur de courant en série avec une charge, la première tension de commande est prélevée sur la cathode de la charge, et la seconde tension de commande est prélevée sur l'anode de la charge.

Selon un mode de réalisation, la charge est une résistance.

Selon un mode de réalisation, la charge est un transistor MOS.

Selon un mode de réalisation, amplificateur comprend un transistor de précharge pour fournir lors d'une phase de précharge un courant de précharge supérieur à la somme des courants fournis par la première et la seconde branches actives.

La présente invention concerne également une mémoire non volatile comprenant un plan mémoire comprenant au moins une cellule mémoire, et au moins un amplificateur de lecture selon l'invention pour la lecture de la cellule mémoire.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante d'un exemple de réalisation d'un amplificateur de lecture selon l'invention, faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

- la figure 1 précédemment décrite est le schéma électrique d'un amplificateur de lecture classique,

- la figure 2 précédemment décrite représente l'aspect de certaines tensions apparaissant dans l'amplificateur de lecture de la figure 1 lorsque la tension d'alimentation présente une fluctuation parasite,

- la figure 3 est le schéma électrique d'un premier exemple de réalisation d'un amplificateur de lecture selon l'invention,

5 - la figure 4 représente l'aspect de certaines tensions électriques apparaissant dans l'amplificateur de lecture de la figure 3 lorsque la tension d'alimentation présente une fluctuation parasite, et

10 - la figure 5 est le schéma électrique d'un second exemple de réalisation d'un amplificateur de lecture selon l'invention.

La figure 3 représente un amplificateur de lecture SA2 selon l'invention. Les éléments précédemment décrits en relation avec la figure 1 sont désignés par les mêmes références.

15 L'amplificateur de lecture SA2 comprend un étage de contrôle CTLST2, un étage de lecture RDST2 et un étage de sortie OUTST. L'étage de sortie est identique à l'étage de sortie de la figure 1. L'amplificateur de lecture est contrôlé comme précédemment par un signal d'activation
20 ENABLE, un signal de verrouillage LATCH et un signal de précharge PRE, et comprend un noeud de lecture RND relié à la cellule mémoire MCELL, ainsi qu'une sortie SOUT délivrant un signal logique DATA à 1 (Vcc) ou à 0 (masse) selon l'état de conductivité de la cellule mémoire.

25 L'étage de contrôle CTLST2 comprend comme précédemment les transistors TP1, TP2, TN1, TN2, agencés de la même manière. Ainsi, le transistor TP1 reçoit la tension Vcc sur sa source et la tension Vref sur sa grille, les transistors TN2, TP2 reçoivent le signal
30 ENABLE sur leurs grilles, et la grille du transistor TN1 est connectée au noeud de lecture RND.

L'étage de lecture RDST2 comprend, comme l'étage RDST1 de l'amplificateur de lecture classique, le transistor de précharge TP4 piloté par le signal PRE,
35 ainsi que les transistors TP3, TN3 en série, formant ici une première branche active. Le transistor TP3 reçoit la tension Vcc sur sa source et la tension Vref sur sa

grille, le transistor TN3 reçoit sur sa grille la tension de commande VC1 prélevée sur le drain du transistor TN1 et sa source est connectée au noeud de lecture RND. Une tension VMID1 est prélevée comme précédemment sur le drain du transistor TN3 (soit le drain du transistor TP3) et est appliquée à l'étage OUTST. Cette tension VMID1 est représentative de l'état de conductivité de la cellule mémoire et est par conséquent représentative de la donnée stockée dans la cellule mémoire.

10 Selon l'invention, l'étage de lecture RDST2 comprend deux transistors TP5, TN4 agencés en série formant une seconde branche active parallèle à celle comprenant les transistors TP3, TN3. Le transistor TP5 reçoit la tension Vcc sur sa source et la tension Vref sur sa grille. Son drain est connecté au drain du transistor TN4 dont la source est connectée au noeud de lecture RND. La grille du transistor TN4 reçoit une tension de commande VC2 prélevée sur le drain du transistor TP2 de l'étage CTLST2. La tension de drain du transistor TN4 est désignée VMID2.

20 En outre, l'étage de contrôle CTLST2 comprend une charge, ici une résistance R, qui est agencée en série entre le drain du transistor TP2 et le drain du transistor TN1. La différence VC2-VC1 entre les deux tensions de commande VC1, VC2 est ainsi égale à la différence tension apparaissant aux bornes de cette résistance.

Cette seconde branche active de l'étage de lecture, formée par les transistors TP5, TN4, fournit au noeud de lecture RND un courant Iref2 qui s'additionne au courant Iref1 fourni par la première branche active. Grâce à un choix adéquat du rapport W/L (rapport largeur sur longueur de grille) du transistor TP5 relativement au rapport W/L du transistor TP3, le courant Iref2 peut être choisi supérieur à Iref1.

35 Grâce à la résistance R, la tension grille-source Vgs(TN4) du transistor TN4 est en effet supérieure à la

tension grille-source $V_{gs}(TN3)$ du transistor $TN3$, comme cela apparaît dans les relations suivantes :

$$V_{gs}(TN3) = V_{C1} - V_{SENSE}$$

5

$$V_{gs}(TN4) = V_{C2} - V_{SENSE} = V_{C1} + R \cdot I_{bias} - V_{SENSE}$$

soit :

10

$$V_{gs}(TN4) = V_{gs}(TN3) + R \cdot I_{bias} > V_{gs}(TN3)$$

I_{bias} étant le courant imposé par le transistor $TP1$ dans l'étage $CTLST2$.

15 Ainsi, lorsque la tension de drain du transistor $TP2$ baisse, le blocage du transistor $TN3$ intervient nécessairement avant le blocage du transistor $TN4$, les deux transistors ayant la même tension de source, le second faisant monter la tension de lecture V_{SENSE} pour bloquer le premier.

20

Comme précédemment, le noeud de lecture RND est relié à une cellule mémoire $MCELL$ par l'intermédiaire d'un décodeur de colonne $COLDEC$ et d'une ligne de bit BL_j , et la cellule mémoire comprend un transistor à grille flottante FGT dont la grille reçoit une tension de lecture V_{read} se situant entre la tension de seuil du transistor FGT à l'état programmé et sa tension de seuil à l'état effacé.

25

L'amplificateur de lecture $SA2$ est activé en portant la tension V_{ref} à $V_{CC} - V_{tp}$ (V_{tp} étant la tension de seuil d'un transistor PMOS) et la phase de précharge est engagée en mettant à 0 les signaux $ENABLE$ et PRE . Les transistors $TP1$, $TP3$, $TP5$ fonctionnent comme des générateurs de courant et fournissent dans leurs branches respectives les courants I_{bias} , I_{ref1} , I_{ref2} ,
35 respectivement. Le transistor $TN2$ se bloque et le transistor $TP2$ devient passant. La tension V_{C1} augmente et le transistor $TN3$ devient passant.

Le transistor TP4 fournit l'essentiel du courant de précharge (supposé grand devant Iref1 et Iref2) sur le noeud de lecture RND. Lorsque la tension VSENSE atteint la valeur déterminée susmentionnée, qui est sensiblement égale à la tension de seuil Vtn d'un transistor NMOS, le transistor TN1 devient passant. La tension sur la grille du transistor TN3 se stabilise. Les courants dans les transistors TP1, TN1 sont identiques. La somme des courants fournis par les transistors TP3, TP4, TP5 correspond au courant Icell demandé par la ligne de bit.

Au terme de la phase de précharge, le transistor TN3 est bloqué et la tension VMID1 est égale à Vcc si le courant Icell est inférieur au courant Iref2 fourni par le transistor TN4. La sortie de la porte inverseuse est à 0. Si le courant Icell est supérieur au courant Iref2, le transistor TN4 fournit le courant Iref2. Le transistor TN3 est passant et fournit un courant Iref1 correspondant au courant manquant dans la ligne de bit, soit égal à Icell-Iref2. La tension VMID1 est égale à Vcc moins la chute de tension dans le transistor TP3. La sortie de la porte inverseuse INV est également à 0 dans ce cas.

Lorsque le signal PRE est remis à 1(Vcc) pour engager la phase de lecture proprement dite, le transistor TP4 se bloque. Le noeud de lecture RND délivre dans la ligne de bit BLj un courant Icell dont l'intensité dépend de l'état de conductivité du transistor FGT. On peut considérer ici trois possibilités :

1) le courant Icell est faible et inférieur au courant Iref2 fourni par la branche supplémentaire selon l'invention (cellule effacée). Dans ce cas, il ne se produit pas de modification par rapport à la phase de précharge. La tension Vgs du transistor TN4 est maintenue à une valeur telle que ce transistor fournit un courant égal à Icell. Le transistor TN3 est bloqué et la tension VMID1 est à Vcc. La sortie de la porte inverseuse est à 0.

2) le courant I_{cell} est supérieur au courant I_{ref2} (cellule mal effacée ou cellule effacée ayant perdu des charges électriques) et inférieur à $I_{ref1} + I_{ref2}$. Dans ce cas, le transistor $TN4$ fournit le courant I_{ref2} . Le transistor $TN3$ est passant et fournit le courant manquant dans la ligne de bit, soit $I_{cell} - I_{ref2}$. La tension $VMID1$ est égale à V_{cc} moins la chute de tension dans le transistor $TP3$. La sortie de la porte inverseuse INV reste à 0.

3) le courant I_{cell} est élevé et supérieur à $I_{ref1} + I_{ref2}$ (cellule programmée). Dans ce cas, les transistors $TN3$, $TN4$ sont passants et fournissent chacun sur le noeud RND le courant maximal qu'ils peuvent fournir. Le noeud de lecture RND est tiré vers la masse. Les tensions $VMID1$, $VMID2$ chutent toutes deux. La sortie de la porte inverseuse INV passe à 1.

Le fonctionnement de l'amplificateur de lecture est ainsi sensiblement identique à celui d'un amplificateur de lecture classique, hormis le fait que, lorsque la cellule mémoire est faiblement passante, l'essentiel du courant dans la ligne de bit est fourni par le transistor $TN4$ de la branche supplémentaire $TP5/TN4$ de l'étage de lecture au lieu d'être fourni par le transistor $TN3$.

L'intérêt de la branche supplémentaire $TP5/TN4$ sera compris en se référant à la figure 4, qui illustre l'aspect des tensions V_{cc} , $VMID1$, $VMID2$, V_{ref} , $VC1$, $VC2$ lorsque la tension V_{cc} fluctue et présente un signal parasite pendant la lecture d'une cellule mémoire effacée. Comme précédemment, ce signal parasite comprend ici un creux de tension $C1$ suivi d'un pic de tension $P1$.

Avant le creux de tension $C1$, l'amplificateur de lecture $SA2$ est dans un état stable. Les transistors $TN3$, $TN4$ sont faiblement passants (voire dans un état bloqué pour le transistor $TN3$, selon la valeur de I_{cell}). La tension V_{SENSE} est proche de V_{tn} et la tension $VMID1$ est proche de V_{cc} (ou égale à V_{cc} si le transistor $TN3$ est

bloqué). La sortie de la porte inverseuse INV est donc à 0.

Lorsque le creux de tension apparaît, la tension Vref reste stable car elle ne peut suivre la variation de la tension Vcc, par exemple en raison de capacités parasites amortissant les variations de la tension Vref. La différence entre les tensions Vref et Vcc diminue et les transistors TP1, TP3, TP5 se bloquent. Le transistor TP1 étant bloqué, les tensions VC1, VC2 chutent et le transistor TN4 se bloque, le transistor TN3 étant déjà bloqué. Un faible courant traversant la cellule mémoire MCELL commence à décharger la ligne de bit et la tension VSENSE baisse.

Lorsque le pic de tension apparaît, la différence entre les tensions Vref et Vcc augmente au-delà de sa valeur initiale et les transistors TP1, TP3, TP5 deviennent passants. Les tensions VC1, VC2 augmentent, la tension VC2 étant supérieure à la tension VC1 du fait de la chute de tension dans la résistance R. Le transistor TN4 redevient passant et un appel de courant apparaît dans la ligne de bit. La tension VSENSE ayant baissé pendant le creux de tension, le transistor TN1 de l'étage de contrôle devient moins passant de sorte que la tension de commande de cascode VC2 augmente fortement en réponse à l'appel de courant. Le courant supplémentaire demandé par la ligne de bit est fourni par le transistor TP5 tandis que le transistor TN3 reste faiblement passant voire bloqué. La tension VMID1 reste donc au voisinage de Vcc et la sortie de la porte inverseuse reste à 0. Si le verrouillage de la donnée lue intervient à cet instant, le résultat de la lecture n'est pas erroné contrairement à ce qui a été précédemment décrit en référence à la figure 1.

Pour limiter le risque d'une chute de la tension VMID1 par mise en conduction du transistor TN3 lors de l'appel de courant, on choisira avantageusement de dimensionner les rapports largeur sur longueur de grille

des transistors TP3, TP5 de sorte que Iref2 soit supérieur à Iref1, par exemple dans un rapport 10.

Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de diverses variantes
5 de réalisation et applications. Notamment, la résistance R de l'étage de contrôle CTLST2 peut être remplacé par un transistor PMOS dont la grille est reliée à la masse. Par ailleurs, les tensions VC1, VC2 contrôlant les transistors TN3, TN4 peuvent être fournies par deux
10 étages de contrôle distincts, l'un étant utilisé pour contrôler le transistor TN3 et l'autre utilisé pour contrôler le transistor TN4.

La figure 5 représente un second exemple de réalisation d'un amplificateur de lecture SA3 selon
15 l'invention. La deuxième branche active de l'étage RDST2 ne comprend ici que le transistor TP5, dont le drain est directement relié au noeud de lecture RND, le transistor cascode TN4 étant ainsi supprimé. Ce transistor cascode est remplacé ici par un transistor diode TN5 dont la
20 fonction est également de limiter la tension VSENSE sur le noeud de lecture RND. Le transistor diode TN5 a sa grille et son drain connecté au noeud de lecture RND (anode de la diode équivalente) et sa source est connectée au drain du transistor TN1 de l'étage CTLST2
25 (qui fournit la tension de commande VC1).

Le fonctionnement de l'amplificateur de lecture SA3 est ainsi le suivant. Quand la ligne de bit BLj a été préchargée et qu'une cellule mémoire dans l'état effacé a été sélectionnée dans cette ligne de bit, la tension
30 VSENSE sur le noeud de lecture RND monte jusqu'à ce que le transistor TN3 soit bloqué (état "Off"). Le noeud RND continue ensuite de monter sous l'action du courant Iref2 fourni par le transistor TP5, jusqu'à ce que la tension de commande VC1 devienne nulle (transistor TN1 passant et
35 drain du transistor TN1 à la masse). Le transistor diode TN4 devient alors passant, et limite la tension VSENSE sur le noeud RND lorsque le courant qui le traverse est

égal à I_{ref2} . Le résultat obtenu est le même que celui obtenu avec l'amplificateur de lecture SA2. La ligne de bit est chargée avec un niveau de tension qui est supérieur à celui qui pourrait être obtenu avec la
5 première branche active, formée par les transistors TP3, TN3. Cela garantit que le transistor TN3 est fermement bloqué.

REVENDECATIONS

1. Amplificateur de lecture (SA2, SA3) pour la lecture d'une cellule mémoire, comprenant :

- un noeud de lecture (RND) relié directement ou indirectement à la cellule mémoire,
- 5 - une première branche active connectée au noeud de lecture (RND) et comprenant des moyens (TP3, TN3) pour fournir un courant de lecture sur le noeud de lecture, et
- une sortie de donnée (SOUT) reliée à un noeud de la première branche active où apparaît une tension
- 10 électrique (VMID1) représentative de l'état de conductivité de la cellule mémoire,

caractérisé en ce qu'il comprend une seconde branche active connectée au noeud de lecture, comprenant des moyens (TP5, TN4) pour fournir sur le noeud de

15 lecture un courant (Iref2) s'additionnant au courant (Iref1) fourni par la première branche active, de manière que la tension (VMID1) représentative de l'état de conductivité de la cellule mémoire reste sensiblement stable lors d'un appel de courant sur le noeud de

20 lecture.

2. Amplificateur de lecture selon la revendication 1, dans lequel la première branche active est bloquée et ne fournit pas de courant pendant la lecture d'une

25 cellule mémoire bloquée ou faiblement conductrice.

3. Amplificateur de lecture selon l'une des revendications 1 et 2, dans lequel la première branche active comprend un premier générateur de courant (TP3)

30 relié au noeud de lecture, et la seconde branche de lecture comprend un second générateur de courant (TP5) relié au noeud de lecture.

4. Amplificateur de lecture selon la revendication

35 3, dans lequel les générateurs de courant comprennent des

transistors PMOS (TP1, TP3, TP5) pilotés par une tension de référence commune (Vref).

5 5. Amplificateur de lecture selon l'une des revendications 3 et 4, dans lequel le second générateur de courant fourni un courant (Iref2) supérieur à un courant (Iref1) fourni par le premier générateur de courant.

10 6. Amplificateur de lecture (SA2) selon l'une des revendications 3 à 5, dans lequel le premier générateur de courant (TP3) est relié au noeud de lecture par l'intermédiaire d'au moins un premier transistor cascode (TN3), et le second générateur de courant (TP5) est relié
15 au noeud de lecture par l'intermédiaire d'au moins un second transistor cascode (TN4).

20 7. Amplificateur de lecture (SA3) selon l'une des revendications 3 à 5, dans lequel le premier générateur de courant (TP3) est relié au noeud de lecture, par l'intermédiaire d'au moins un premier transistor MOS (TN3), tandis que le second générateur de courant (TP5) est relié directement au noeud de lecture, le noeud de lecture étant connecté à une diode (TN5) de limitation de
25 tension.

30 8. Amplificateur de lecture selon l'une des revendications 1 à 7, comprenant un étage (CTLST2) de contrôle de la première et de la seconde branches actives.

35 9. Amplificateur de lecture selon la revendication 8, dans lequel l'étage de contrôle (CTLST2) contrôle les branches actives de manière qu'une tension (VSENSE) apparaissant sur le noeud de lecture soit réglée au voisinage d'une valeur prédéterminée (Vtn).

10. Amplificateur de lecture selon l'une des revendications 8 et 9, dans lequel l'étage de contrôle (CTLST2) contrôle les branches actives de manière que la première branche active (TP3, TN3) ne fournisse pas de courant tant que le courant fourni par la seconde branche active (TP5, TN4) ne fournit pas la valeur maximale (Iref2) du courant qu'elle peut délivrer.

11. Amplificateur de lecture selon l'une des revendications 8 à 10, dans lequel :

- l'étage de contrôle (CTLST2) fournit une première tension de commande de grille (VC1) à un premier transistor cascode (TN3) de la première branche active, et une seconde tension de commande de grille (VC2) à un second transistor cascode (TN4) de la seconde branche active, et
- les première et seconde tensions de commande sont contrôlées par l'étage de contrôle de manière que la tension grille source (Vgs(TN4)) du second transistor soit supérieure à la tension grille source (Vgs(TN3)) du premier transistor.

12. Amplificateur de lecture selon la revendication 11, dans lequel :

- les premier et second transistors cascode (TN3, TN4) sont des transistors MOS de type N, et
- la seconde tension de commande (VC2) est supérieure à la première tension de commande (VC1).

13. Amplificateur de lecture selon l'une des revendications 11 et 12, dans lequel :

- l'étage de contrôle (CTLST2) comprend un générateur de courant (TP1) en série avec une charge (R),
- la première tension de commande (VC1) est prélevée sur la cathode de la charge, et
- la seconde tension de commande (VC2) est prélevée sur l'anode de la charge.

14. Amplificateur de lecture selon la revendication 13, dans lequel la charge est une résistance.

5 15. Amplificateur de lecture selon la revendication 13, dans lequel la charge est un transistor MOS.

10 16. Amplificateur de lecture selon l'une des revendications 1 à 15, comprenant un transistor de précharge (TP4) pour fournir lors d'une phase de précharge un courant de précharge supérieur à la somme des courants fournis par la première et la seconde branches actives.

15 17. Mémoire non volatile comprenant un plan mémoire (MA) comprenant au moins une cellule mémoire (MCELL), caractérisé en ce qu'elle comprend au moins un amplificateur de lecture selon l'une des revendications 1 à 16 pour la lecture de la cellule mémoire.

2 / 4

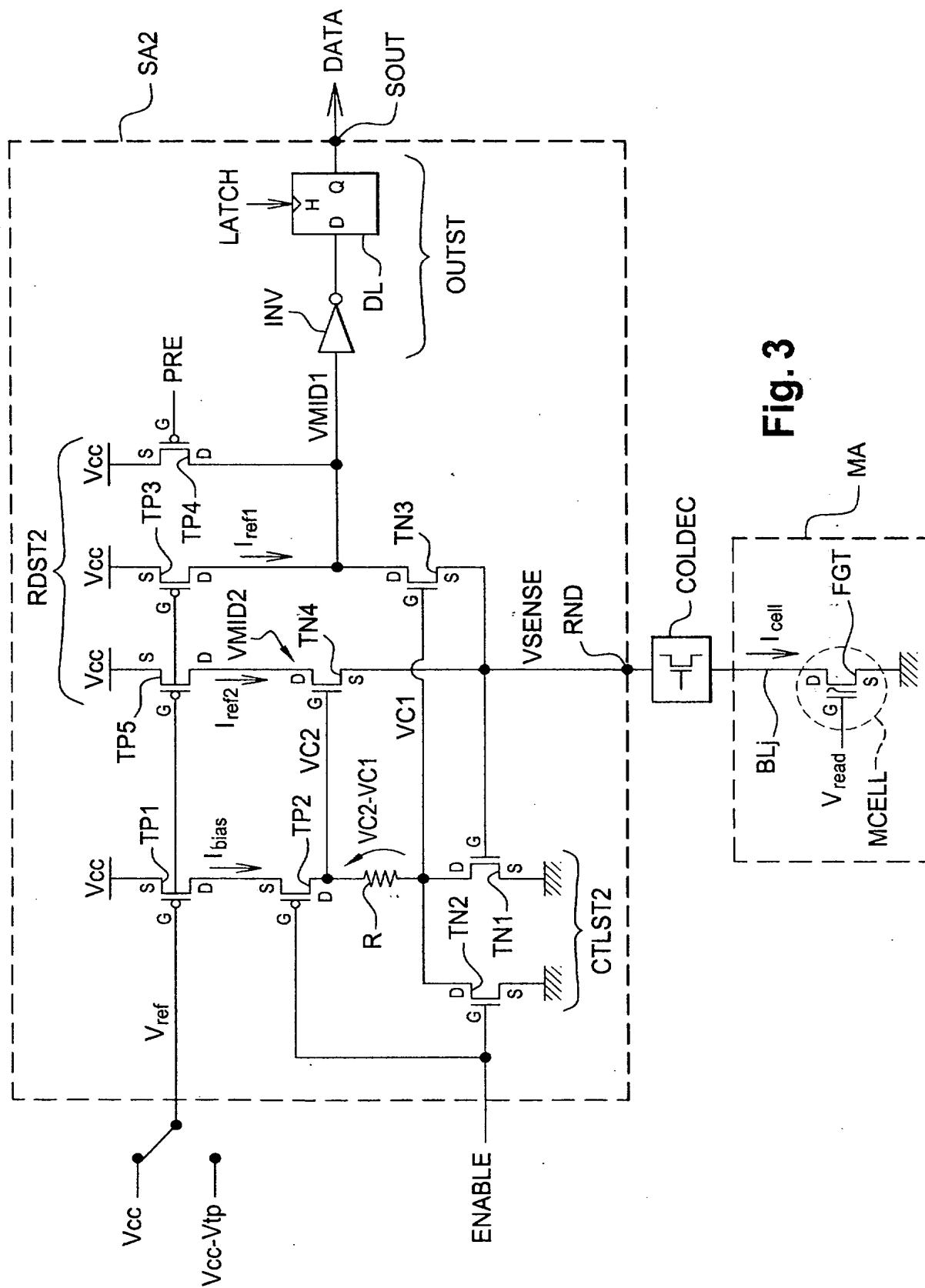
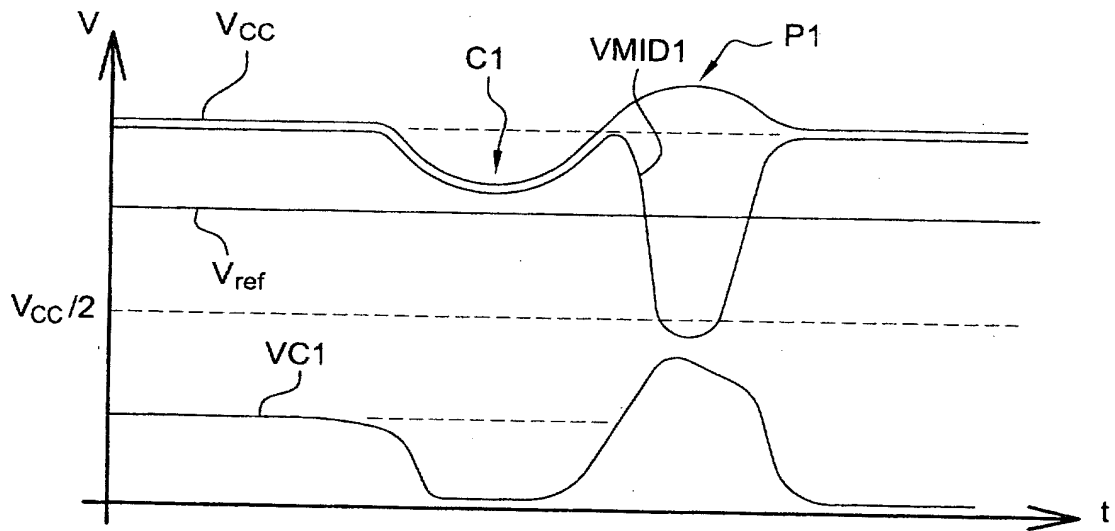
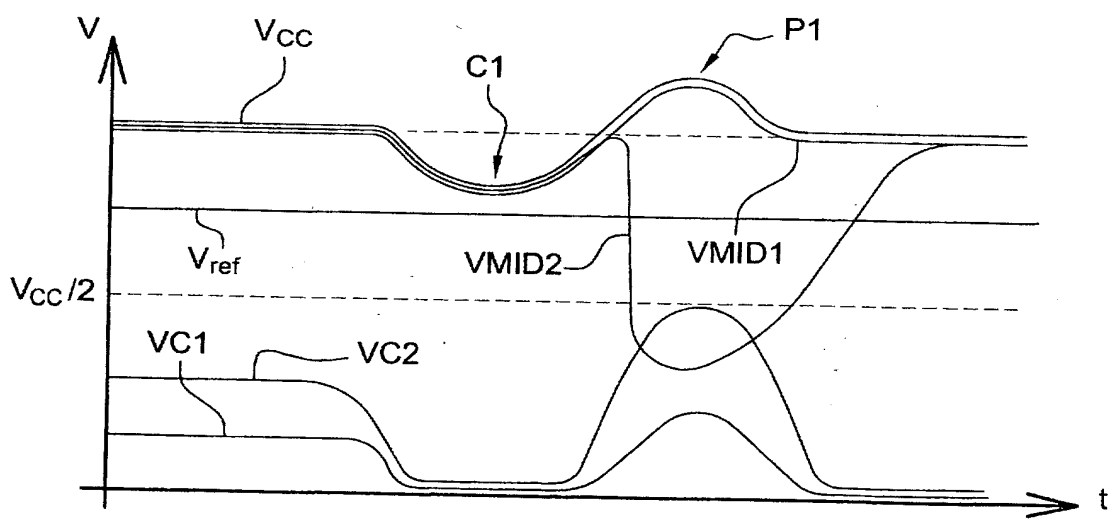


Fig. 3

3 / 4

**Fig. 2****Fig. 4**

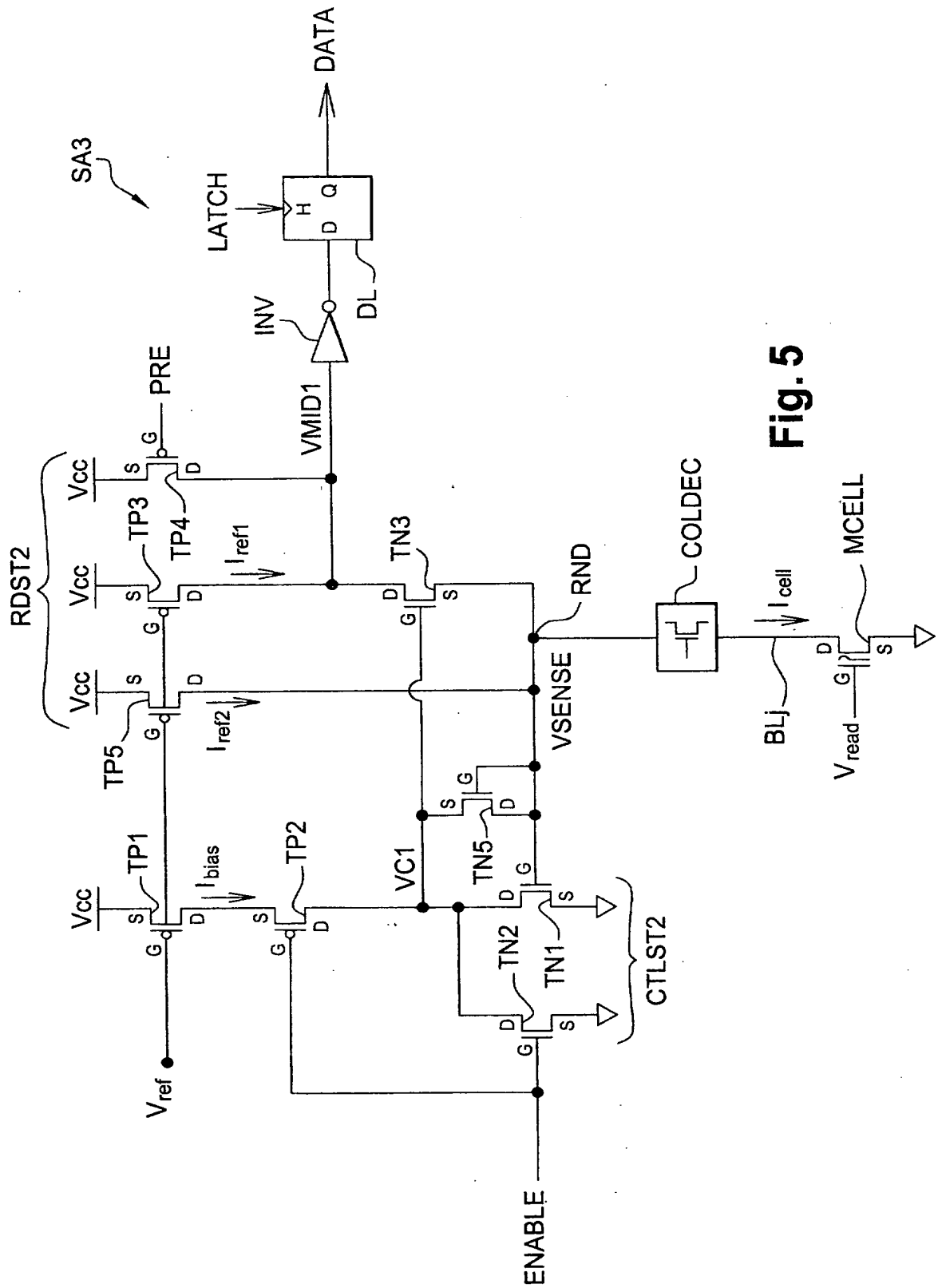


Fig. 5



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11 235*02

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

2 AVRIL 2003

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 260399

Vos renseignements (facultatif)		100203 FR	
N° D'ENREGISTREMENT NATIONAL		0304077	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) Amplificateur de lecture à double étage de lecture			
LE(S) DEMANDEUR(S) : MARCHAND André OMNIPAT 24, Place des Martyrs de la Résistance 13100 AIX EN PROVENCE			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		LA ROSA	
Prénoms		Francesco	
Adresse	Rue	C/O OMNIPAT 24 Place des Martyrs de la Résistance	
	Code postal et ville	13100	AIX EN PROVENCE
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Aix en Provence, le 31 mars 2003 MARCHAND André - CPI N° 95 0303 OMNIPAT			